

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

#2
J1017 U.S. PTO
09/865546
05/29/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 6月20日

出願番号

Application Number:

特願2000-185025

出願人

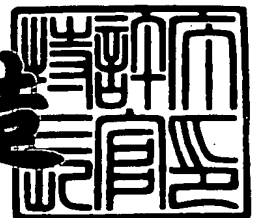
Applicant (s):

松下電子工業株式会社

2001年 3月16日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3018486

【書類名】 特許願

【整理番号】 2926420013

【提出日】 平成12年 6月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 大阪府高槻市幸町1番1号 松下電子工業株式会社内

【氏名】 野田 泰史

【特許出願人】

【識別番号】 000005843

【氏名又は名称】 松下電子工業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006009

【ブルーフの要否】 要

【書類名】明細書

【発明の名称】半導体装置及び半導体装置の製造方法

【特許請求の範囲】

【請求項1】 少なくとも上部にシリコンからなるエピタキシャル層を有する半導体基板と、

前記エピタキシャル層の上にゲート絶縁膜を介して形成されたゲート電極と、

前記エピタキシャル層におけるソースドレイン領域に該ゲート電極の側面の下側の領域から距離をおいて形成された第1導電型の高濃度拡散層と、

前記エピタキシャル層における前記高濃度拡散層と前記ゲート電極の側面の下側の領域との間に形成され、接合の深さが前記高濃度拡散層よりも浅い第1導電型のエクステンション高濃度拡散層と、

前記エピタキシャル層における前記エクステンション高濃度拡散層の下側の領域に、質量数が相対的に大きい第2導電型の不純物イオンが拡散されることにより形成されたポケット高濃度拡散層とを備えていることを特徴とする半導体装置

。

【請求項2】 少なくとも上部にシリコンからなるエピタキシャル層を有する半導体基板と、

前記エピタキシャル層の上にゲート絶縁膜を介して形成されたゲート電極と、

前記エピタキシャル層におけるソースドレイン領域に該ゲート電極の側面の下側の領域から距離をおいて形成された第1導電型の高濃度拡散層と、

前記エピタキシャル層における前記高濃度拡散層と前記ゲート電極の側面の下側の領域との間に、質量数が相対的に大きい第1導電型の不純物イオンが拡散されることにより形成され、接合の深さが前記高濃度拡散層よりも浅い第1導電型のエクステンション高濃度拡散層と、

前記エピタキシャル層における前記エクステンション高濃度拡散層の下側の領域に形成されたポケット高濃度拡散層とを備えていることを特徴とする半導体装置。

【請求項3】 晶帯軸が<110>である半導体基板と、

前記半導体基板の上にゲート絶縁膜を介して形成されたゲート電極と、

前記半導体基板におけるソースドレイン領域に該ゲート電極の側面の下側の領域から距離をおいて形成された第 1 導電型の高濃度拡散層と、

前記半導体基板における前記高濃度拡散層と前記ゲート電極の側面の下側の領域との間に形成され、接合の深さが前記高濃度拡散層よりも浅い第 1 導電型のエクステンション高濃度拡散層と、

前記半導体基板における前記エクステンション高濃度拡散層の下側の領域に、質量数が相対的に大きい第 2 導電型の不純物イオンが拡散されることにより形成されたポケット高濃度拡散層とを備えていることを特徴とする半導体装置。

【請求項 4】 晶帯軸が $\langle 110 \rangle$ である半導体基板と、

前記半導体基板の上にゲート絶縁膜を介して形成されたゲート電極と、

前記半導体基板におけるソースドレイン領域に該ゲート電極の側面の下側の領域から距離をおいて形成された第 1 導電型の高濃度拡散層と、

前記半導体基板における前記高濃度拡散層と前記ゲート電極の側面の下側の領域との間に、質量数が相対的に大きい第 1 導電型の不純物イオンが拡散されることにより形成され、接合の深さが前記高濃度拡散層よりも浅い第 1 導電型のエクステンション高濃度拡散層と、

前記半導体基板における前記エクステンション高濃度拡散層の下側の領域に形成されたポケット高濃度拡散層とを備えていることを特徴とする半導体装置。

【請求項 5】 少なくとも上部にシリコンからなるエピタキシャル層を有する半導体基板における前記エピタキシャル層に第 1 導電型の第 1 の不純物を注入することにより、第 1 の不純物層を形成する工程と、

前記エピタキシャル層の上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、質量数が相対的に大きい第 1 導電型の第 2 の不純物を前記エピタキシャル層に注入することにより、第 2 の不純物層を形成する工程と、

前記ゲート電極をマスクとして、第 2 導電型の第 3 の不純物を前記エピタキシャル層に対して前記第 2 の不純物層よりも浅い接合となるように注入することにより、第 3 の不純物層を形成する工程と、

前記ゲート電極の側面にサイドウォールを形成した後、前記ゲート電極及びサイドウォールをマスクとして、第2導電型の第4の不純物を前記エピタキシャル層に対して前記第3の不純物層よりも深い接合となるように注入することにより、前記エピタキシャル層における前記ゲート電極の下側に位置し前記第1の不純物層からなるチャンネル拡散層と、該チャンネル拡散層のゲート長方向側に位置し前記第3の不純物層からなるエクステンション高濃度拡散層と、該エクステンション高濃度拡散層の下側に位置し前記第2の不純物層からなるポケット高濃度拡散層と、前記エクステンション高濃度拡散層の外側に位置し前記第4の不純物が拡散されてなる高濃度拡散層とを形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項6】 前記第2の不純物の注入ドーズ量は、約 $5 \times 10^{13} / \text{cm}^2$ 以上であることを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】 半導体基板に第1導電型の第1の不純物を注入することにより、第1の不純物層を形成する工程と、

前記半導体基板の上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、質量数が相対的に大きい第1導電型の第2の不純物を前記半導体基板に対して転位ループ欠陥を抑えるように注入することにより、第2の不純物層を形成する工程と、

前記ゲート電極をマスクとして、第2導電型の第3の不純物を前記第2の不純物層よりも浅くなるように注入することにより、第3の不純物層を形成する工程と、

前記ゲート電極の側面にサイドウォールを形成した後、前記ゲート電極及びサイドウォールをマスクとして、第2導電型の第4の不純物を前記半導体基板に対して前記第3の不純物層よりも深い接合となるように注入することにより、前記半導体基板における前記ゲート電極の下側に位置し前記第1の不純物層からなるチャンネル拡散層と、該チャンネル拡散層のゲート長方向側に位置し前記第3の不純物層からなるエクステンション高濃度拡散層と、該エクステンション高濃度拡散層の下側に位置し前記第2の不純物層からなるポケット高濃度拡散層と、前記エクステンション高濃度拡散層の外側に位置し前記第4の不純物が拡散されてなる

高濃度拡散層とを形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 8】 前記第 2 の不純物層を形成する工程は、前記第 2 の不純物の注入電流密度を約 $100 \mu\text{A}/\text{cm}^2$ 以下とする工程を含むことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記第 2 の不純物層を形成する工程は、前記第 2 の不純物の基板面に対する垂直方向からの注入角度を約 30° 以上とする工程を含むことを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 10】 晶帯軸が $\langle 110 \rangle$ である半導体基板に第 1 導電型の第 1 の不純物を注入することにより、第 1 の不純物層を形成する工程と、

前記半導体基板の上にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極をマスクとして、質量数が相対的に大きい第 1 導電型の第 2 の不純物を前記半導体基板に注入することにより、第 2 の不純物層を形成する工程と、

前記ゲート電極をマスクとして、第 2 導電型の第 3 の不純物を前記半導体基板に対して前記第 2 の不純物層よりも浅くなるように注入することにより、第 3 の不純物層を形成する工程と、

前記ゲート電極の側面にサイドウォールを形成した後、前記ゲート電極及びサイドウォールをマスクとして、第 2 導電型の第 4 の不純物を前記半導体基板に対して前記第 3 の不純物層よりも深い接合となるように注入することにより、前記半導体基板における前記ゲート電極の下側に位置し前記第 1 の不純物層からなるチャンネル拡散層と、該チャンネル拡散層のゲート長方向側に位置し前記第 3 の不純物層からなるエクステンション高濃度拡散層と、該エクステンション高濃度拡散層の下側に位置し前記第 2 の不純物層からなるポケット高濃度拡散層と、前記エクステンション高濃度拡散層の外側に位置し前記第 4 の不純物が拡散されてなる高濃度拡散層とを形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項 11】 前記第 2 の不純物の注入ドーズ量は、約 $5 \times 10^{13}/\text{cm}^2$ 以上であることを特徴とする請求項 10 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路の超高集積化を実現できる微細化構造を有し、高速で且つ低消費電力で動作できるMOS型の半導体装置及びその製造方法に関する。

【0002】

【従来の技術】

半導体集積回路の超高集積化に伴って、MOS型半導体装置、とりわけ、MOS型トランジスタの微細化が望まれており、その実現のために浅い接合を有するMOS型トランジスタが求められている。

【0003】

以下、図8(a)～図8(e)を参照しながら、従来のMOS型トランジスタの製造方法について説明する。

【0004】

まず、図8(a)に示すように、例えば、P型シリコンからなる半導体基板101に対して、P型不純物であるインジウム(In)イオンを注入エネルギーが200keVで、注入ドーズ量が約 $1 \times 10^{12} / \text{cm}^2$ であるイオン注入を行ない、注入後に熱処理を加えて、半導体基板101の上部にチャネル領域となるP型チャネル拡散層101aを形成する。続いて、半導体基板101の上に、膜厚が約2.2nmのゲート絶縁膜102を介して膜厚が約200nmの多結晶シリコンからなるゲート電極103を形成する。

【0005】

次に、図8(b)に示すように、ゲート電極103をマスクとして、P型不純物であるInイオンを半導体基板101に注入エネルギーが100keVで、注入ドーズ量が約 $1 \times 10^{14} / \text{cm}^2$ のイオン注入を行ない、続いて、N型不純物であるヒ素(As)イオンを注入エネルギーが10keVで、注入ドーズ量が $5 \times 10^{14} / \text{cm}^2$ のイオン注入を行なう。その後、高温で且つ短時間の熱処理により、半導体基板101のソースドレイン領域にP型不純物拡散層104A及び

浅い接合を持つ高濃度不純物拡散層 1 0 5 A を形成する。

【 0 0 0 6 】

次に、図 8 (c) に示すように、半導体基板 1 0 1 の上に全面にわたって、膜厚が約 5 0 n m のシリコン窒化膜を 7 0 0 °C 程度の温度で堆積し、堆積したシリコン窒化膜に対して異方性エッチングを行なって、ゲート電極 1 0 3 の側面にサイドウォール 1 0 6 を形成する。なお、サイドウォール 1 0 6 は、シリコン窒化膜に代えてシリコン酸化膜により形成してもよい。

【 0 0 0 7 】

次に、図 8 (d) に示すように、ゲート電極 1 0 3 及びサイドウォール 1 0 6 をマスクとして、N 型の不純物である A s イオンを半導体基板 1 0 1 に注入エネルギーが 3 0 k e V で、注入ドーズ量が約 $3 \times 10^{15} / \text{cm}^2$ のイオン注入を行ない、続いて、高温且つ短時間の熱処理を行なって、半導体基板 1 0 1 上のソースドレイン領域に深い接合を持つ高濃度拡散層 1 0 7、該高濃度拡散層 1 0 7 の内側に位置し該高濃度拡散層 1 0 7 よりも浅い接合を持つエクステンション高濃度拡散層 1 0 5 B、及び該エクステンション高濃度拡散層 1 0 5 B の下側に位置するポケット高濃度拡散層 1 0 4 B をそれぞれ形成する。

【 0 0 0 8 】

次に、図 8 (e) に示すように、スパッタリング法により、半導体基板 1 0 1 の上に、膜厚が約 1 0 n m のコバルト又はチタンからなる金属膜及び膜厚が約 2 0 n m の窒化チタン膜を順次堆積した後、温度が 5 5 0 °C 程度で 1 0 秒間程度の熱処理を行ない、その後、窒化チタン膜と未反応の金属膜を、硫酸と過酸化水素と水との混合液で選択的にエッチングして除去する。続いて、温度が 8 0 0 °C 程度で 1 0 秒間程度の熱処理を行なって、ゲート電極 3 の上部及び高濃度拡散層 1 0 7 の上部に、膜厚が 3 0 n m 程度のコバルトシリサイド層 1 0 8 を自己整合的に形成する。

【 0 0 0 9 】

このように、従来の MOS 型トランジスタの製造方法は、ポケット高濃度拡散層 1 0 4 B に対するイオン注入に重イオンを用いることにより、浅い接合で且つ急峻な不純物プロファイルを実現しようとしている。

【 0 0 1 0 】

【発明が解決しようとする課題】

ところが、前記従来のMOS型トランジスタの製造方法は、ポケット高濃度拡散層104Bに重イオンを用いているため、該重イオンは半導体基板101の結晶に対する注入ダメージが大きいことにより、所定のドーズ量を超えると、半導体基板101にアモルファス層が形成されてしまう。さらに注入後の熱処理により、このアモルファス-クリスタル界面の下側の領域にEOR (End-of-Range) 転位ループ欠陥層が形成され、このEOR転位ループ欠陥層にInイオン等の重いイオンが強く偏析してしまうという問題がある。

【 0 0 1 1 】

特に、重いイオンを用いた不純物注入においては、アモルファス-クリスタル界面が不純物の濃度ピークよりも深い位置に形成されるため、エクステンション高濃度拡散層105Bの拡散後の接合面は、設計値よりも深い位置に生成されてしまう。また、EOR転位ループ欠陥層が、エクステンション高濃度拡散層105Bの接合面の近傍に形成されると、接合リークが発生するという問題も発生する。

【 0 0 1 2 】

しかしながら、ポケット領域やエクステンション領域等の高濃度拡散層に質量数が相対的に大きい重イオンを用いない限り、現状の過渡増速拡散を抑制しながら、今以上の浅い接合を達成することは極めて困難である。例えば、デザインルールが0.1 μm のCMOSトランジスタの場合は、エクステンション高濃度拡散層105Bの接合に20nm~30nm程度の接合深さが要求されるが、サイドウォール106を形成する際の低温の熱処理プロセスにより生じる過渡増速拡散によって、Asイオンが数十nm程度も移動すると考えられる。従って、MOS型トランジスタの微細化が進むと、注入エネルギーが小さいイオン注入をいくら行なっても、その後の熱処理によって、エクステンション高濃度拡散層105Bの接合深さが目標値よりも大きくなってしまうという問題がある。なお、過渡増速拡散とは、格子間に過剰に存在する点欠陥と注入された不純物とが相互作用して拡散するため、不純物とその熱平衡状態の拡散係数以上に拡散してしまう現

象のことをいう。

【 0 0 1 3 】

本発明は、前記従来の問題を解決し、浅い接合に必須である重イオンをエクステンション領域やポケット領域となる高濃度拡散層に用いながらも、該重イオンに起因する転位ループ欠陥の発生を抑制できるようにすることを目的とする。

【 0 0 1 4 】

【課題を解決するための手段】

前記の目的を達成するため、本発明は、MOS型の半導体装置及びその製造方法を、半導体基板自体に欠陥層が生じにくい材料を用いたり、半導体基板に欠陥層が生じにくいように重イオンを注入したりする構成とする。

【 0 0 1 5 】

具体的に、本発明に係る第1の半導体装置は、少なくとも上部にシリコンからなるエピタキシャル層を有する半導体基板と、エピタキシャル層の上にゲート絶縁膜を介して形成されたゲート電極と、エピタキシャル層におけるソースドレイン領域に該ゲート電極の側面の下側の領域から距離をおいて形成された第1導電型の高濃度拡散層と、エピタキシャル層における高濃度拡散層とゲート電極の側面の下側の領域との間に形成され、接合の深さが高濃度拡散層よりも浅い第1導電型のエクステンション高濃度拡散層と、エピタキシャル層におけるエクステンション高濃度拡散層の下側の領域に、質量数が相対的に大きい第2導電型の不純物イオンが拡散されることにより形成されたポケット高濃度拡散層とを備えている。

【 0 0 1 6 】

第1の半導体装置によると、少なくとも上部にシリコンからなるエピタキシャル層を有する半導体基板と、エピタキシャル層におけるエクステンション高濃度拡散層の下側の領域に、質量数が相対的に大きい第2導電型の不純物イオンが拡散されることにより形成されたポケット高濃度拡散層とを備えている。一般にエピタキシャル成長法により得られる半導体は、通常の回転引き上げ（CZ）法による半導体よりもその結晶品位に優れる。従って、エピタキシャル層に重イオンである不純物イオンが注入及び拡散されてなるポケット高濃度拡散層は、通常の

半導体基板の場合よりもEOR転位ループ欠陥の発生が少なくなる。その結果、重イオンがアモルファスークリスタル界面の下側の領域に偏析しにくくなるので、偏析に起因するリーク電流を抑制しながら、微細化を図ることができる。

【0017】

本発明に係る第2の半導体装置は、少なくとも上部にシリコンからなるエピタキシャル層を有する半導体基板と、エピタキシャル層の上にゲート絶縁膜を介して形成されたゲート電極と、エピタキシャル層におけるソースドレイン領域に該ゲート電極の側面の下側の領域から距離をおいて形成された第1導電型の高濃度拡散層と、エピタキシャル層における高濃度拡散層とゲート電極の側面の下側の領域との間に、質量数が相対的に大きい第1導電型の不純物イオンが拡散されることにより形成され、接合の深さが高濃度拡散層よりも浅い第1導電型のエクステンション高濃度拡散層と、エピタキシャル層におけるエクステンション高濃度拡散層の下側の領域に形成されたポケット高濃度拡散層とを備えている。

【0018】

第2の半導体装置によると、少なくとも上部にシリコンからなるエピタキシャル層を有する半導体基板と、エピタキシャル層における高濃度拡散層とゲート電極の側面の下側の領域との間に、質量数が相対的に大きい第1導電型の不純物イオンが拡散されることにより形成され、接合の深さが高濃度拡散層よりも浅い第1導電型のエクステンション高濃度拡散層とを備えているため、エピタキシャル層に重イオンである不純物イオンが注入及び拡散されてなるエクステンション高濃度拡散層は、通常のCZ法による半導体基板の結晶よりもEOR転位ループ欠陥の発生が少なくなる。その結果、重イオンがアモルファスークリスタル界面の下側の領域に偏析しにくくなるので、偏析に起因するリーク電流を抑制することができると共に、エクステンション高濃度拡散層の接合深さをも確実に浅くすることができる。

【0019】

本発明に係る第3の半導体装置は、晶帯軸が $\langle 110 \rangle$ である半導体基板と、半導体基板の上にゲート絶縁膜を介して形成されたゲート電極と、半導体基板におけるソースドレイン領域に該ゲート電極の側面の下側の領域から距離をおいて

形成された第1導電型の高濃度拡散層と、半導体基板における高濃度拡散層とゲート電極の側面の下側の領域との間に形成され、接合の深さが高濃度拡散層よりも浅い第1導電型のエクステンション高濃度拡散層と、半導体基板におけるエクステンション高濃度拡散層の下側の領域に、質量数が相対的に大きい第2導電型の不純物イオンが拡散されることにより形成されたポケット高濃度拡散層とを備えている。

【0020】

第3の半導体装置によると、晶帯軸が $\langle 110 \rangle$ である半導体基板と、半導体基板におけるエクステンション高濃度拡散層の下側の領域に、質量数が相対的に大きい第2導電型の不純物イオンが拡散されることにより形成されたポケット高濃度拡散層とを備えているため、通常の晶帯軸が $\langle 100 \rangle$ の半導体基板の場合と異なり、晶帯軸が $\langle 110 \rangle$ である半導体基板の場合は、注入される重イオンがチャネリングを起こすので、半導体基板に対する注入ダメージが低減する。その結果、注入ダメージが低減することにより、格子間原子の発生が抑制されるため、EOR転位ループ欠陥の発生が減少して、重イオンがアモルファスークリスタル界面の下側の領域に偏析しにくくなるので、偏析に起因するリーク電流を抑制できる。また、重イオンはチャネリングを起こしても、重イオン自体の質量効果によりその注入飛程が軽イオン程には大きくなりないので、浅い接合をも実現できる。

【0021】

本発明に係る第4の半導体装置は、晶帯軸が $\langle 110 \rangle$ である半導体基板と、半導体基板の上にゲート絶縁膜を介して形成されたゲート電極と、半導体基板におけるソースドレイン領域に該ゲート電極の側面の下側の領域から距離をおいて形成された第1導電型の高濃度拡散層と、半導体基板における高濃度拡散層とゲート電極の側面の下側の領域との間に、質量数が相対的に大きい第1導電型の不純物イオンが拡散されることにより形成され、接合の深さが高濃度拡散層よりも浅い第1導電型のエクステンション高濃度拡散層と、半導体基板におけるエクステンション高濃度拡散層の下側の領域に形成されたポケット高濃度拡散層とを備えている。

【 0 0 2 2 】

第4の半導体装置によると、晶帯軸が $\langle 110 \rangle$ である半導体基板と、半導体基板における高濃度拡散層とゲート電極の側面の下側の領域との間に、質量数が相対的に大きい第1導電型の不純物イオンが拡散されることにより形成され、接合の深さが高濃度拡散層よりも浅い第1導電型のエクステンション高濃度拡散層とを備えているため、晶帯軸が $\langle 110 \rangle$ の半導体基板の場合は、注入される重イオンがチャネリングを起こすので、半導体基板に対する注入ダメージが低減する。その結果、格子間原子の発生が抑制され、EOR転位ループ欠陥の発生が減少して、重イオンがアモルファス結晶界面の下側の領域に偏析しにくくなるので、偏析に起因するリーク電流を抑制することができる。また、重イオンはチャネリングを起こしても、重イオン自体の質量効果によりその注入飛程が軽イオン程には大きくなりませんので、エクステンション高濃度拡散層の接合深さをも確実に浅くできる。

【 0 0 2 3 】

本発明に係る第1の半導体装置の製造方法は、少なくとも上部にシリコンからなるエピタキシャル層を有する半導体基板におけるエピタキシャル層に第1導電型の第1の不純物を注入することにより、第1の不純物層を形成する工程と、エピタキシャル層の上にゲート絶縁膜を介してゲート電極を形成する工程と、ゲート電極をマスクとして、質量数が相対的に大きい第1導電型の第2の不純物をエピタキシャル層に注入することにより、第2の不純物層を形成する工程と、ゲート電極をマスクとして、第2導電型の第3の不純物をエピタキシャル層に対して第2の不純物層よりも浅い接合となるように注入することにより、第3の不純物層を形成する工程と、ゲート電極の側面にサイドウォールを形成した後、ゲート電極及びサイドウォールをマスクとして、第2導電型の第4の不純物をエピタキシャル層に対して第3の不純物層よりも深い接合となるように注入することにより、エピタキシャル層におけるゲート電極の下側に位置し第1の不純物層からなるチャネル拡散層と、該チャネル拡散層のゲート長方向側に位置し第3の不純物層からなるエクステンション高濃度拡散層と、該エクステンション高濃度拡散層の下側に位置し第2の不純物層からなるポケット高濃度拡散層と、エクステンシ

オン高濃度拡散層の外側に位置し第4の不純物が拡散されてなる高濃度拡散層とを形成する工程とを備えている。

【0024】

第1の半導体装置の製造方法によると、少なくとも上部にシリコンからなるエピタキシャル層を有する半導体基板におけるエピタキシャル層に、ゲート電極をマスクとして、質量数が相対的に大きい第1導電型の第2の不純物をエピタキシャル層に注入することにより第2の不純物層を形成する工程と、ゲート電極及びサイドウォールをマスクとして、第2導電型の第4の不純物をエピタキシャル層に対して第3の不純物層よりも深い接合となるように注入することにより、エクステンション高濃度拡散層の下側に位置し第2の不純物層からなるポケット高濃度拡散層と、エクステンション高濃度拡散層の外側に位置し第4の不純物が拡散されてなる高濃度拡散層とを形成する工程とを備えているため、エピタキシャル層に重イオンである不純物イオンが注入及び拡散されてなるポケット高濃度拡散層は、通常の回転引き上げ（CZ）法により形成された半導体基板の場合と比べてEOR転位ループ欠陥の発生が少なくなる。その結果、重イオンがアモルファスクリスタル界面の下側の領域に偏析しにくくなるので、偏析に起因するリーク電流を抑制することができる。

【0025】

第1の半導体装置の製造方法において、第2の不純物の注入ドーズ量が約 $5 \times 10^{13} / \text{cm}^2$ 以上であることが好ましい。このようにすると、第2の不純物層をアモルファス化することができるため、続いて注入される第3の不純物のチャネリングを抑制できるので、浅い接合を持つエクステンション高濃度拡散層及びポケット高濃度拡散層を確実に形成でき、その結果、高駆動力の半導体装置を実現することができる。

【0026】

本発明に係る第2の半導体装置の製造方法は、半導体基板に第1導電型の第1の不純物を注入することにより、第1の不純物層を形成する工程と、半導体基板の上にゲート絶縁膜を介してゲート電極を形成する工程と、ゲート電極をマスクとして、質量数が相対的に大きい第1導電型の第2の不純物を半導体基板に対し

て転位ループ欠陥を抑えるように注入することにより、第2の不純物層を形成する工程と、ゲート電極をマスクとして、第2導電型の第3の不純物を第2の不純物層よりも浅くなるように注入することにより、第3の不純物層を形成する工程と、ゲート電極の側面にサイドウォールを形成した後、ゲート電極及びサイドウォールをマスクとして、第2導電型の第4の不純物を半導体基板に対して第3の不純物層よりも深い接合となるように注入することにより、半導体基板におけるゲート電極の下側に位置し第1の不純物層からなるチャンネル拡散層と、該チャンネル拡散層のゲート長方向側に位置し第3の不純物層からなるエクステンション高濃度拡散層と、該エクステンション高濃度拡散層の下側に位置し第2の不純物層からなるポケット高濃度拡散層と、エクステンション高濃度拡散層の外側に位置し第4の不純物が拡散されてなる高濃度拡散層とを形成する工程とを備えている。

【0027】

第2の半導体装置の製造方法によると、ゲート電極をマスクとして、質量数が相対的に大きい第1導電型の第2の不純物を半導体基板に対して欠陥、特に転位ループ欠陥を抑えるように注入することにより、第2の不純物層を形成する工程と、ゲート電極及びサイドウォールをマスクとして、第2導電型の第4の不純物をエピタキシャル層に対して第3の不純物層よりも深い接合となるように注入することにより、エクステンション高濃度拡散層の下側に位置し第2の不純物層からなるポケット高濃度拡散層と、エクステンション高濃度拡散層の外側に位置し第4の不純物が拡散されてなる高濃度拡散層とを形成する工程とを備えているため、ポケット高濃度拡散層用の第2の不純物を半導体基板に注入する際に転位ループ欠陥の発生が抑制されるので、重イオンがアモルファスークリスタル界面の下側の領域に偏析しにくくなり、その結果、偏析に起因するリーク電流を抑制することができる。

【0028】

第2の半導体装置の製造方法において、第2の不純物層を形成する工程が第2の不純物の注入電流密度を約 $100 \mu\text{A}/\text{cm}^2$ 以下とする工程を含むことが好ましい。このようにすると、第2の不純物の注入時に半導体基板に与える注入ダ

メージを確実に小さくすることができるため、転位ループ発生の原因となる格子間原子の発生を低減できるので、転位ループ欠陥を確実に抑制できる。

【 0 0 2 9 】

第2の半導体装置の製造方法において、第2の不純物層を形成する工程が第2の不純物の基板面に対する垂直方向からの注入角度を約 30° 以上とする工程を含むことが好ましい。このようにすると、第2の不純物の注入時に半導体基板に与える注入ダメージを確実に小さくすることができるため、転位ループ発生の原因となる格子間原子の発生を低減できるので、転位ループ欠陥を確実に抑制できる。

【 0 0 3 0 】

本発明に係る第3の半導体装置の製造方法は、晶帯軸が $\langle 110 \rangle$ である半導体基板に第1導電型の第1の不純物を注入することにより、第1の不純物層を形成する工程と、半導体基板の上にゲート絶縁膜を介してゲート電極を形成する工程と、ゲート電極をマスクとして、質量数が相対的に大きい第1導電型の第2の不純物を半導体基板に注入することにより、第2の不純物層を形成する工程と、ゲート電極をマスクとして、第2導電型の第3の不純物を半導体基板に対して第2の不純物層よりも浅くなるように注入することにより、第3の不純物層を形成する工程と、ゲート電極の側面にサイドウォールを形成した後、ゲート電極及びサイドウォールをマスクとして、第2導電型の第4の不純物を半導体基板に対して第3の不純物層よりも深い接合となるように注入することにより、半導体基板におけるゲート電極の下側に位置し第1の不純物層からなるチャンネル拡散層と、該チャンネル拡散層のゲート長方向側に位置し第3の不純物層からなるエクステンション高濃度拡散層と、該エクステンション高濃度拡散層の下側に位置し第2の不純物層からなるポケット高濃度拡散層と、エクステンション高濃度拡散層の外側に位置し第4の不純物が拡散されてなる高濃度拡散層とを形成する工程とを備えている。

【 0 0 3 1 】

第3の半導体装置の製造方法によると、晶帯軸が $\langle 110 \rangle$ である半導体基板に、ゲート電極をマスクとして、質量数が相対的に大きい第1導電型の第2の不

純物を半導体基板に注入することにより第2の不純物層を形成する工程と、ゲート電極及びサイドウォールをマスクとして、第2導電型の第4の不純物をエピタキシャル層に対して第3の不純物層よりも深い接合となるように注入することにより、エクステンション高濃度拡散層の下側に位置し第2の不純物層からなるポケット高濃度拡散層と、エクステンション高濃度拡散層の外側に位置し第4の不純物が拡散されてなる高濃度拡散層とを形成する工程とを備えているため、第2の不純物層を形成する工程においてポケット高濃度拡散層用の第2の不純物を半導体基板に注入する際に、晶帯軸が $\langle 110 \rangle$ である半導体基板は注入される重イオンがチャネリングを起こす。これにより、半導体基板に対する注入ダメージが低減して格子間原子の発生が抑制されるため、EOR転位ループ欠陥の発生が減少する。その結果、重イオンがアモルファスークリスタル界面の下側の領域に偏析しにくくなるので、偏析に起因するリーク電流を抑制することができる。また、重イオンはチャネリングを起こしても、重イオン自体の質量効果によりその注入飛程が軽イオン程には大きくならないので、浅接合をも実現できる。

【0032】

第3の半導体装置の製造方法において、第2の不純物の注入ドーズ量が約 $5 \times 10^{13} / \text{cm}^2$ 以上であることが好ましい。

【0033】

【発明の実施の形態】

(第1の実施形態)

本発明の第1の実施形態について図面を参照しながら説明する。

【0034】

図1(a)及び図1(b)は本発明の第1の実施形態に係るMOS型トランジスタであって、図1(a)は断面構成を示し、図1(b)は図1(a)の A_1-A_2 線に沿った基板表面からの深さ方向の不純物濃度を表わしている。

【0035】

図1(a)に示すように、例えばP型シリコンがエピタキシャル成長してなるエピタキシャル半導体基板11の上には、ゲート絶縁膜12を介して多結晶シリコンからなるゲート電極13が形成されている。

【0036】

エピタキシャル半導体基板11の上部には、ソースドレイン領域にゲート電極13の側面の下側の領域から距離をおいてN型のヒ素(As)イオンが拡散した高濃度拡散層14が形成されている。高濃度拡散層14とゲート電極13の側面の下側の領域との間には、接合の深さが高濃度拡散層14よりも浅くなるようにN型のAsイオンが拡散したエクステンション高濃度拡散層15が形成され、該エクステンション高濃度拡散層15の下側の領域には、質量数が相対的に大きい重イオンであるP型のインジウム(In)イオンが拡散したポケット高濃度拡散層16とが形成されている。また、エピタキシャル半導体基板11におけるゲート電極13の下側であって、エクステンション高濃度拡散層15同士の間で且つポケット高濃度拡散層16同士の間領域には、P型のInイオンが拡散したチャンネル拡散層11aが形成されている。

【0037】

このように、本実施形態に係るMOS型トランジスタは、エピタキシャル半導体基板11に重イオンであるInイオンを拡散してなるポケット高濃度拡散層16を有していることを特徴とする。

【0038】

図1(b)において、曲線1Aはエクステンション高濃度拡散層15のAsイオンの濃度を示し、曲線2Aはポケット高濃度拡散層16のInイオンの濃度を示している。破線3は比較用であって、半導体基板に通常の回転引き上げ(CZ)法により形成されたシリコンウェハを用いた場合のポケット高濃度拡散層のInイオンの濃度を示している。

【0039】

半導体製造プロセスにおいて、質量数が相対的に大きい重イオン、例えばInイオンは、質量数が相対的に小さいボロン(B)イオン等比べて拡散係数が小さい上に、図1(b)に示すように、欠陥層への偏析や表面拡散によって、不純物プロファイルにおける低濃度のテール部分、すなわち深い領域への拡散による広がりが小さいため、エクステンション高濃度拡散層15の不純物濃度曲線1Aのみならず、ポケット高濃度拡散層16の不純物濃度曲線2Aに対しても急峻な

プロファイルを実現できる。その結果、ゲート長が小さいMOS型トランジスタであっても浅い接合が可能なり、その結果高駆動力を実現できる。また、エクステンション高濃度拡散層15及びポケット高濃度拡散層16に浅い接合深さを得られるため、短チャネル効果を抑制できるので、微細化トランジスタの設計が可能となる。

【0040】

また、図1(b)からも分かるように、本実施形態は半導体基板にエピタキシャル半導体基板11を用いているため、本実施形態のポケット高濃度拡散層16の不純物曲線2Aは、従来のCZ法による半導体基板に設けたポケット高濃度拡散層の不純物曲線3と比べてEOR転位ループ欠陥の発生が減少し、その結果、Inイオンの該EOR転位ループ欠陥層への偏析部分のピークが低くなる。これにより、EOR転位ループ欠陥に偏析する重イオンに起因するリーク電流を抑制することができる。

【0041】

以下、前記のように構成されたMOS型トランジスタの製造方法について図面を参照しながら説明する。

【0042】

図2(a)～図2(d)は第1の実施形態に係るMOS型トランジスタの製造方法の工程順の断面構成を示している。

【0043】

まず、図2(a)に示すように、例えば、P型シリコンがエピタキシャル成長してなるエピタキシャル半導体基板21に対して、P型で相対的に質量数が大きい不純物イオン、例えばインジウム(In)イオンを注入エネルギーが約200keVで且つ注入ドーズ量が約 $1 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。イオン注入に続いて、昇温レートが約100℃/秒で900℃～1025℃程度の高温にまで昇温し、この温度を1秒間～10秒間程度保持する短時間の熱処理、すなわち急速熱処理(RTA)を行なうことにより、エピタキシャル半導体基板21の上部にP型のチャネル拡散層21aを形成する。続いて、エピタキシャル半導体基板21の上に、膜厚が2.2nm程度のゲート絶縁膜22を形成し

、該ゲート絶縁膜 2 2 の上に膜厚が 2 5 0 n m 程度の多結晶シリコンからなるゲート電極 2 3 を形成する。

【 0 0 4 4 】

次に、図 2 (b) に示すように、ゲート電極 2 3 をマスクとして、P 型の不純物イオンである、例えば I n イオンをエピタキシャル半導体基板 2 1 に注入エネルギーが約 3 0 k e V で且つ注入ドーズ量が約 $1 \times 10^{14} / \text{cm}^2$ の注入条件でイオン注入する。続いて、ゲート電極 2 3 をマスクとして、N 型の不純物イオンである、例えば A s イオンをエピタキシャル半導体基板 2 1 に注入エネルギーが約 1 0 k e V で且つ注入ドーズ量が約 $5 \times 10^{14} / \text{cm}^2$ の注入条件でイオン注入する。その後、昇温レートが約 1 0 0 °C / 秒で 9 0 0 °C ~ 1 0 2 5 °C 程度の高温にまで昇温し、この温度を 1 秒間 ~ 1 0 秒間程度保持する急速熱処理を行なうことにより、エピタキシャル半導体基板 2 1 のソースドレイン領域に、P 型のポケット高濃度拡散層形成層 2 4 A 及び該ポケット高濃度拡散層形成層 2 4 A よりも浅い接合を持つ N 型のエクステンション高濃度拡散層形成層 2 5 A を形成する。

【 0 0 4 5 】

次に、図 2 (c) に示すように、ゲート電極 2 3 を覆うようにエピタキシャル半導体基板 2 1 の上に全面にわたって膜厚が 5 0 n m 程度のシリコン窒化膜を堆積し、堆積したシリコン窒化膜に対して、基板面に垂直な方向に強い異方性を有する異方性エッチングを行なうことにより、ゲート電極 2 3 のゲート長方向側の側面にシリコン窒化膜からなるサイドウォール 2 6 を形成する。なお、シリコン窒化膜に代えてシリコン酸化膜からなるサイドウォール 2 6 を形成しても良い。

【 0 0 4 6 】

次に、図 2 (d) に示すように、ゲート電極 2 3 及びサイドウォール 2 6 をマスクとして、N 型の不純物イオンである、例えば A s イオンをエピタキシャル半導体基板 2 1 に注入エネルギーが約 3 0 k e V で且つ注入ドーズ量が約 $3 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入する。注入後に、昇温レートが約 1 0 0 °C / 秒で 1 0 0 0 °C ~ 1 0 2 5 °C 程度の高温にまで昇温し、この温度を 1 秒間 ~ 1 0 秒間程度保持する急速熱処理を行なうことにより、エピタキシャル半導体基板 2

1のソースドレイン領域にN型の高濃度拡散層27を形成する。

【0047】

これにより、エピタキシャル半導体基板21におけるゲート電極23の下側に位置するチャンネル拡散層21aと、該チャンネル拡散層21aのゲート長方向側に位置しエクステンション高濃度拡散層形成層25Aからなるエクステンション高濃度拡散層25Bと、該エクステンション高濃度拡散層25Bの下側に位置しポケット高濃度拡散層形成層24Aからなるポケット高濃度拡散層24Bとが形成される。

【0048】

このように、第1の実施形態は、図2(b)に示す工程において、エピタキシャル半導体基板21に対して重イオンの注入を行なうことにより、ポケット高濃度拡散層形成層24Aを形成することを特徴とする。

【0049】

ここで、図3は図2(b)に示す工程におけるポケット領域及びエクステンション領域への不純物注入の直後の基板の深さ方向の不純物プロファイルを示している。図3において、曲線1Bはエクステンション領域におけるAsイオンのプロファイルを示し、曲線2Bはポケット領域におけるInイオンのプロファイルを示している。図3に示すように、図2(b)に示すAsイオンとInイオンとの注入条件によると、AsイオンとInイオンとの各飛程のピークRpはほぼ同等となる。この後、急速熱処理を行なうことにより、Inイオンによるアモルファス-クリスタル界面4は、Asイオンの飛程のピークRpよりも深くなる。これにより、最終的なInイオンのプロファイルは、図1(b)に示す曲線2Aのような偏析部分を持つ曲線となる。

【0050】

第1の実施形態においては、Inイオンのアモルファス化によるEOR転位ループ欠陥層の発生及び該EOR転位ループ欠陥層へのInイオンの偏析によるリーク電流を半導体基板にエピタキシャルウェハを用いることにより抑制できる。

【0051】

エピタキシャルシリコンウェハは、ウェハ自体の含有酸素量が少なく且つ結晶

欠陥も少ない。従って、通常のCZ法によるシリコンウェハと比べて、より理想的な結晶状態に近いエピタキシャルウェハを用いることにより、重イオン注入後のアニールによるEOR転位ループ欠陥の発生が抑制される。

【0052】

その上、ポケット高濃度拡散層形成層24Aを形成する際に、Inイオンを $5 \times 10^{13} / \text{cm}^2$ 以上の注入ドーズ量で注入しているため、エピタキシャル半導体基板21がアモルファス化される。これにより、続くエクステンション高濃度拡散層形成層25Aを形成するためのAsイオンの注入時に、注入されるAsイオンが結晶格子間を貫通する現象であるチャネリングが抑制されるので、エクステンション高濃度拡散層形成層25Aの浅い接合をも確実に実現できる。

【0053】

また、チャネル拡散層21aにも重イオンであるInイオンを用いることにより、エピタキシャル半導体基板21の表面の近傍ではInイオンの不純物濃度が低く、表面の近傍から少し深い位置では急峻な不純物濃度分布を形成できるので、トランジスタの駆動力を低下することなく、微細化を実現できる。また、チャネル拡散層21aにInイオンを注入した後に熱処理を加えることにより、Inイオンによる注入ダメージを速やかに回復することができる。

【0054】

なお、第1の実施形態においては、図2(b)に示したポケット高濃度拡散層形成層24A及びエクステンション高濃度拡散層形成層25Aの注入後、及び図2(d)に示した高濃度拡散層27の注入後にそれぞれ急速熱処理を行なっているが、図2(d)に示した工程でのみ急速熱処理を行なってもよい。

【0055】

また、エピタキシャル半導体基板21は、基板自体がエピタキシャル成長してなるエピタキシャルウェハを用いてもよく、CZ法によるシリコン基板の上にシリコンをエピタキシャル成長させてなるエピタキシャル層を有する積層構造のエピタキシャル基板を用いてもよい。

【0056】

また、エクステンション高濃度拡散層形成層25Aを、質量数が相対的に大き

いN型不純物であるアンチモン（S b）イオン等の重イオンを用いて形成してもよい。この場合のS bイオンの注入条件は、注入エネルギーを約1 0 k e Vとし、注入ドーズ量を約 $2 \times 1 0^{14} / \text{cm}^2$ とすると良い。

【0 0 5 7】

また、ゲート電極2 3に多結晶シリコンを用いたが、多結晶シリコンに代えてポリメタルを用いてもよい。

【0 0 5 8】

また、チャネル拡散層2 1 aにI nイオンを用いたが、代わりにBイオン又はBイオンとI nイオンとを混合した混合イオンとしてもよい。

【0 0 5 9】

また、M O S型トランジスタをNチャネルM O S型トランジスタとしたが、代わりにPチャネルM O S型トランジスタとしてもよい。PチャネルM O S型トランジスタとする場合には、チャネル拡散層2 1 a及びポケット高濃度拡散層形成層2 4 Aに注入するN型の重イオンとして、S bイオンを用いることが好ましい。

【0 0 6 0】

（第2の実施形態）

以下、本発明の第2の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【0 0 6 1】

図4（a）～図4（d）は第2の実施形態に係るM O S型トランジスタの製造方法の工程順の断面構成を示している。

【0 0 6 2】

まず、図4（a）に示すように、例えば、P型シリコンからなる半導体基板3 1に対して、P型で相対的に質量数が大きい不純物イオン、例えばI nイオンを注入エネルギーが約2 0 0 k e Vで且つ注入ドーズ量が約 $1 \times 1 0^{12} / \text{cm}^2$ の注入条件で注入する。イオン注入に続いて、昇温レートが約1 0 0℃／秒で9 0 0℃～1 0 2 5℃程度の高温にまで昇温し、この温度を1秒間～1 0秒間程度保持する短時間の急速熱処理を行なうことにより、半導体基板3 1の上部にP型の

チャネル拡散層 3 1 a を形成する。続いて、半導体基板 3 1 の上に、膜厚が 2 . 2 n m 程度のゲート絶縁膜 3 2 を形成し、該ゲート絶縁膜 3 2 の上に膜厚が 2 5 0 n m 程度の多結晶シリコンからなるゲート電極 3 3 を形成する。

【 0 0 6 3 】

次に、図 4 (b) に示すように、ゲート電極 3 3 をマスクとして、P 型の不純物イオンである、例えば I n イオンを半導体基板 3 1 に、注入エネルギーが約 3 0 k e V、注入ドーズ量が約 $1 \times 10^{14} / \text{cm}^2$ 及び電流密度が約 $100 \mu \text{A} / \text{cm}^2$ の注入条件として室温下でイオン注入する。続いて、ゲート電極 3 3 をマスクとして、N 型の不純物イオンである、例えば A s イオンを半導体基板 3 1 に注入エネルギーが約 1 0 k e V で且つ注入ドーズ量が約 $5 \times 10^{14} / \text{cm}^2$ の注入条件でイオン注入する。その後、昇温レートが約 $100^\circ \text{C} / \text{秒}$ で $900^\circ \text{C} \sim 1025^\circ \text{C}$ 程度の高温にまで昇温し、この温度を 1 秒間 \sim 1 0 秒間程度保持する急速熱処理を行なうことにより、半導体基板 3 1 のソースドレイン領域に、P 型のポケット高濃度拡散層形成層 3 4 A 及び該ポケット高濃度拡散層形成層 3 4 A よりも浅い接合を持つ N 型のエクステンション高濃度拡散層形成層 3 5 A を形成する。

【 0 0 6 4 】

次に、図 4 (c) に示すように、ゲート電極 3 3 を覆うように半導体基板 3 1 の上に全面にわたって膜厚が 5 0 n m 程度のシリコン窒化膜を堆積し、堆積したシリコン窒化膜に対して異方性エッチングを行なうことにより、ゲート電極 3 3 のゲート長方向側の側面にシリコン窒化膜からなるサイドウォール 3 6 を形成する。なお、シリコン窒化膜に代えてシリコン酸化膜からなるサイドウォール 3 6 を形成しても良い。

【 0 0 6 5 】

次に、図 4 (d) に示すように、ゲート電極 3 3 及びサイドウォール 3 6 をマスクとして、N 型の不純物イオンである、例えば A s イオンを半導体基板 3 1 に注入エネルギーが約 3 0 k e V で且つ注入ドーズ量が約 $3 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入する。注入後に、昇温レートが約 $100^\circ \text{C} / \text{秒}$ で $1000^\circ \text{C} \sim 1025^\circ \text{C}$ 程度の高温にまで昇温し、この温度を 1 秒間 \sim 1 0 秒間程度保持す

る急速熱処理を行なうことにより、半導体基板 3 1 のソースドレイン領域に N 型の高濃度拡散層 3 7 を形成する。

【0 0 6 6】

これにより、半導体基板 3 1 におけるゲート電極 3 3 の下側に位置するチャンネル拡散層 3 1 a と、該チャンネル拡散層 3 1 a のゲート長方向側に位置しエクステンション高濃度拡散層形成層 3 5 A からなるエクステンション高濃度拡散層 3 5 B と、該エクステンション高濃度拡散層 3 5 B の下側に位置しポケット高濃度拡散層形成層 3 4 A からなるポケット高濃度拡散層 3 4 B とが形成される。

【0 0 6 7】

このように、第 2 の実施形態は、図 4 (b) に示すイオン注入工程において、半導体基板 3 1 に対して、室温下で電流密度が $100 \mu A / cm^2$ という比較的低い電流密度で In イオンの注入を行なうことにより、ポケット高濃度拡散層形成層 3 4 A を形成することを特徴とする。これにより、ポケット高濃度拡散層形成層 3 4 A の形成時に、低電流密度で注入される In イオンによって、半導体基板 3 1 が被る注入ダメージが低減されるため、EOR 転位ループ欠陥の原因となる格子間シリコンの発生を抑制できる。その結果、熱処理後に発生する EOR 転位ループ欠陥が減少するので、In イオンが EOR 転位ループ欠陥層に強く偏析されなくなる。その結果、In イオンの強い偏析によるリーク電流を抑制できる。

【0 0 6 8】

なお、ポケット高濃度拡散層形成層 3 4 A のイオン注入時の電流密度は、およそ $150 \mu A / cm^2$ よりも低いことが好ましく、さらには、 $100 \mu mA / cm^2$ 程度が好ましい。

【0 0 6 9】

その上、ポケット高濃度拡散層形成層 3 4 A を形成する際に、In イオンを $5 \times 10^{13} / cm^2$ 以上の注入ドーズ量で注入しているため、半導体基板 3 1 がアモルファス化されるので、これにより、続くエクステンション高濃度拡散層形成層 3 5 A を形成するための As イオンの注入時に、注入される As イオンのチャネリングが抑制される。その結果、エクステンション高濃度拡散層形成層 3 5 A

の浅接合を確実に実現できる。

【0070】

また、チャネル拡散層31aにも重イオンであるInイオンを用いることにより、半導体基板31の表面の近傍ではInイオンの不純物濃度が低く、表面の近傍から少し深い位置では急峻な不純物濃度分布を形成できるので、トランジスタの駆動力を低下することなく、微細化を実現できる。また、チャネル拡散層31aにInイオンを注入した後に熱処理を加えることにより、Inイオンによる注入ダメージを速やかに回復することができる。

【0071】

また、第2の実施形態においても、エクステンション高濃度拡散層形成層35を、N型で質量数が相対的に大きいSbイオン等の重イオンを用いて形成してもよい。この場合のSbイオンの注入条件は、注入エネルギーを約10keVとし、注入ドーズ量を約 $2 \times 10^{14} / \text{cm}^2$ とすると良い。

【0072】

また、図4(b)に示したポケット高濃度拡散層形成層34A及びエクステンション高濃度拡散層形成層35Aの注入後、及び図4(d)に示した高濃度拡散層37の注入後にそれぞれ急速熱処理を行なっているが、図4(d)に示した工程でのみ急速熱処理を行なってもよい。

【0073】

また、ゲート電極33に多結晶シリコンを用いたが、多結晶シリコンに代えてポリメタルを用いてもよい。

【0074】

また、チャネル拡散層31aにInイオンを用いたが、代わりにBイオン又はBイオンとInイオンとを混合した混合イオンとしてもよい。

【0075】

また、MOS型トランジスタをNチャネルMOS型トランジスタとしたが、代わりにPチャネルMOS型トランジスタとしてもよい。PチャネルMOS型トランジスタとする場合には、チャネル拡散層31a及びポケット高濃度拡散層形成層34Aに注入するN型の重イオンとして、Sbイオンを用いることが好ましい

【 0 0 7 6 】

(第 3 の実施形態)

以下、本発明の第 3 の実施形態に係る半導体装置の製造方法について図面を参照しながら説明する。

【 0 0 7 7 】

図 5 (a) ~ 図 5 (d) は第 3 の実施形態に係る M O S 型トランジスタの製造方法の工程順の断面構成を示している。

【 0 0 7 8 】

まず、図 5 (a) に示すように、例えば、P 型シリコンからなる半導体基板 4 1 に対して、P 型で相対的に質量数が高い不純物イオン、例えば I n イオンを注入エネルギーが約 2 0 0 k e V で且つ注入ドーズ量が約 $1 \times 10^{12} / \text{cm}^2$ の注入条件で注入する。イオン注入に続いて、昇温レートが約 1 0 0 ° C / 秒で 9 0 0 ° C ~ 1 0 2 5 ° C 程度の高温にまで昇温し、この温度を 1 秒間 ~ 1 0 秒間程度保持する短時間の急速熱処理を行なうことにより、半導体基板 4 1 の上部に P 型のチャネル拡散層 4 1 a を形成する。続いて、半導体基板 4 1 の上に、膜厚が 2 . 2 n m 程度のゲート絶縁膜 4 2 を形成し、該ゲート絶縁膜 4 2 の上に膜厚が 2 5 0 n m 程度の多結晶シリコンからなるゲート電極 4 3 を形成する。

【 0 0 7 9 】

次に、図 5 (b) に示すように、ゲート電極 4 3 をマスクとして、P 型の不純物イオンである、例えば I n イオンを半導体基板 4 1 に、注入エネルギーが約 3 0 k e V で且つ注入ドーズ量が約 $1 \times 10^{14} / \text{cm}^2$ の注入条件で、さらにゲート電極 4 3 のゲート長方向側の各側面からのチルト角 θ がそれぞれ約 4 5 ° となる角度注入でイオン注入する。続いて、ゲート電極 4 3 をマスクとして、N 型の不純物イオンである、例えば A s イオンを半導体基板 4 1 に注入エネルギーが約 1 0 k e V で且つ注入ドーズ量が約 $5 \times 10^{14} / \text{cm}^2$ の注入条件でイオン注入する。その後、昇温レートが約 1 0 0 ° C / 秒で 9 0 0 ° C ~ 1 0 2 5 ° C 程度の高温にまで昇温し、この温度を 1 秒間 ~ 1 0 秒間程度保持する急速熱処理を行なうことにより、半導体基板 4 1 のソースドレイン領域に、P 型のポケット高濃度拡散

層形成層 4 4 A 及び該ポケット高濃度拡散層形成層 4 4 A よりも浅い接合を持つ N 型のエクステンション高濃度拡散層形成層 4 5 A を形成する。

【 0 0 8 0 】

次に、図 4 (d) に示すように、ゲート電極 4 3 を覆うように半導体基板 4 1 の上に全面にわたって膜圧が 5 0 n m 程度のシリコン窒化膜を堆積し、堆積したシリコン窒化膜に対して異方性エッチングを行なうことにより、ゲート電極 4 3 のゲート長方向側の側面にシリコン窒化膜からなるサイドウォール 4 6 を形成する。なお、シリコン窒化膜に代えてシリコン酸化膜からなるサイドウォール 4 6 を形成しても良い。

【 0 0 8 1 】

次に、図 5 (d) に示すように、ゲート電極 4 3 及びサイドウォール 4 6 をマスクとして、N 型の不純物イオンである、例えば A s イオンを半導体基板 4 1 に注入エネルギーが約 3 0 k e V で且つ注入ドーズ量が約 $3 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入する。注入後に、昇温レートが約 1 0 0 °C / 秒で 1 0 0 0 °C ~ 1 0 2 5 °C 程度の高温にまで昇温し、この温度を 1 秒間 ~ 1 0 秒間程度保持する急速熱処理を行なうことにより、半導体基板 4 1 のソースドレイン領域に N 型の高濃度拡散層 4 7 を形成する。

【 0 0 8 2 】

これにより、半導体基板 4 1 におけるゲート電極 4 3 の下側に位置するチャネル拡散層 4 1 a と、該チャネル拡散層 4 1 a のゲート長方向側に位置しエクステンション高濃度拡散層形成層 4 5 A からなるエクステンション高濃度拡散層 4 5 B と、該エクステンション高濃度拡散層 4 5 B の下側に位置しポケット高濃度拡散層形成層 4 4 A からなるポケット高濃度拡散層 4 4 B とが形成される。

【 0 0 8 3 】

このように、第 3 の実施形態は、図 5 (b) に示すイオン注入工程において、半導体基板 4 1 に対して I n イオンを、ゲート電極 4 3 の側面から 4 5 ° 程度外側に傾斜する比較的チルト角が大きい角度の角度注入を行なうことにより、ポケット高濃度拡散層形成層 4 4 A を形成することを特徴とする。これにより、ポケット高濃度拡散層形成層 4 4 A の形成時に、基板面に対して斜めに注入される I

n イオンにより、半導体基板 41 が被る注入ダメージが低減されるため、EOR 転位ループ欠陥の原因となる格子間シリコンの発生が抑制される。その結果、熱処理後に発生する EOR 転位ループ欠陥が減少するので、In イオンが EOR 転位ループ欠陥層に強く偏析されなくなり、その結果、In イオンの強い偏析によるリーク電流を抑制できる。

【0084】

なお、ポケット高濃度拡散層形成層 44A のイオン注入時のチルト角 θ は、およそ $30^\circ \sim 60^\circ$ が好ましく、さらには 45° 程度が好ましい。

【0085】

その上、ポケット高濃度拡散層形成層 44A を形成する際に、In イオンを $5 \times 10^{13} / \text{cm}^2$ 以上の注入ドーズ量で注入しているため、半導体基板 41 がアモルファス化されるので、これにより、続くエクステンション高濃度拡散層形成層 45A を形成するための As イオンの注入時に、注入される As イオンのチャネリングが抑制される。その結果、エクステンション高濃度拡散層形成層 45A の浅接合を確実に実現できる。

【0086】

また、チャネル拡散層 41a にも重イオンである In イオンを用いることにより、半導体基板 41 の表面の近傍では In イオンの不純物濃度が低く、表面の近傍から少し深い位置では急峻な不純物濃度分布を形成できるので、トランジスタの駆動力を低下することなく、微細化を実現できる。また、チャネル拡散層 41a に In イオンを注入した後に熱処理を加えることにより、In イオンによる注入ダメージを速やかに回復することができる。

【0087】

また、第 3 の実施形態においても、エクステンション高濃度拡散層形成層 45A を、N 型で質量数が相対的に大きい Sb イオン等の重イオンを用いて形成してもよい。この場合の Sb イオンの注入条件は、注入エネルギーを約 10 keV とし、注入ドーズ量を約 $2 \times 10^{14} / \text{cm}^2$ とすると良い。

【0088】

また、図 5 (b) に示したポケット高濃度拡散層形成層 44A 及びエクステン

ション高濃度拡散層形成層 4 5 A の注入後、及び図 5 (d) に示した高濃度拡散層 4 7 の注入後にそれぞれ急速熱処理を行なっているが、図 5 (d) に示した工程でのみ急速熱処理を行なってもよい。

【0089】

また、ゲート電極 4 3 に多結晶シリコンを用いたが、多結晶シリコンに代えてポリメタルを用いてもよい。

【0090】

また、チャネル拡散層 4 1 a に I n イオンを用いたが、代わりに B イオン又は B イオンと I n イオンとを混合した混合イオンとしてもよい。

【0091】

また、MOS 型トランジスタを N チャネル MOS 型トランジスタとしたが、代わりに P チャネル MOS 型トランジスタとしてもよい。P チャネル MOS 型トランジスタとする場合には、チャネル拡散層 4 1 a 及びポケット高濃度拡散層形成層 4 4 A に注入する N 型の重イオンとして、S b イオンを用いることが好ましい。

【0092】

(第 4 の実施形態)

以下、本発明の第 4 の実施形態について図面を参照しながら説明する。

【0093】

図 6 (a) 及び図 6 (b) は本発明の第 4 の実施形態に係る MOS 型トランジスタであって、図 6 (a) は断面構成を示し、図 6 (b) は図 6 (a) の B₁-B₂ 線に沿った基板表面からの深さ方向の不純物濃度を表わしている。

【0094】

図 6 (a) に示すように、晶帯軸が $\langle 110 \rangle$ である、すなわち、基板の主面の面方位が $\{110\}$ である P 型シリコンからなる半導体基板 5 1 (以下、 $\langle 110 \rangle$ 半導体基板 5 1 と称する。) の上には、ゲート絶縁膜 5 2 を介して多結晶シリコンからなるゲート電極 5 3 が形成されている。

【0095】

$\langle 110 \rangle$ 半導体基板 5 1 の上部には、ソースドレイン領域にゲート電極 5 3

の側面の下側の領域から距離をおいてN型のAsイオンが拡散した高濃度拡散層54が形成されている。高濃度拡散層54とゲート電極53の側面の下側の領域との間には、接合の深さが高濃度拡散層54よりも浅くなるようにN型のAsイオンが拡散したエクステンション高濃度拡散層55が形成され、該エクステンション高濃度拡散層55の下側の領域には、質量数が相対的に大きい重イオンであるP型のInイオンが拡散したポケット高濃度拡散層56とが形成されている。また、 $\langle 110 \rangle$ 半導体基板51におけるゲート電極53の下側であって、エクステンション高濃度拡散層55同士の間で且つポケット高濃度拡散層56同士の間の領域には、P型のInイオンが拡散したチャネル拡散層51aが形成されている。

【0096】

このように、本実施形態に係るMOS型トランジスタは、 $\langle 110 \rangle$ 半導体基板51に重イオンでありInイオンを拡散してなるポケット高濃度拡散層56を有していることを特徴とする。

【0097】

図6(b)において、曲線1Cはエクステンション高濃度拡散層55のAsイオンの濃度を示し、曲線2Cはポケット高濃度拡散層56のInイオンの濃度を示している。破線3は比較用であって、半導体基板に通常の晶帯軸が $\langle 100 \rangle$ であるシリコンウェハを用いた場合のポケット高濃度拡散層のInイオンの濃度を示している。

【0098】

半導体製造プロセスにおいて、質量数が相対的に大きい、例えばInイオンのような重イオンは、質量数が相対的に小さいBイオン等比べて拡散係数が小さい。その上、図6(b)に示すように、欠陥層への偏析や表面拡散によって、不純物プロファイルにおける低濃度のテール部分、すなわち深い領域への拡散による広がりが小さいため、エクステンション高濃度拡散層55の不純物濃度曲線1Cのみならず、ポケット高濃度拡散層56の不純物濃度曲線2Cに対しても急峻なプロファイルを実現できる。その結果、ゲート長が小さいMOS型トランジスタであっても浅い接合が可能となって、高駆動力を実現できる。また、エクステ

ンション高濃度拡散層 5 5 及びポケット高濃度拡散層 5 6 に浅い接合深さを得られるため、短チャネル効果を抑制できるので、微細化トランジスタの設計が可能となる。

【0 0 9 9】

さらに、本実施形態は半導体基板に<1 1 0>半導体基板 5 1 を用いていることにより、注入される I n イオンに積極的にチャネリングを起こさせている。これにより、注入される I n イオンと基板を構成するシリコン結晶格子とが衝突しにくくなるため、シリコン結晶格子に対する I n イオンの注入ダメージが弱められるので、E O R 転位ループ欠陥の原因となる格子間シリコンの発生が減少する。

【0 1 0 0】

その結果、図 6 (b) から分かるように、本実施形態のポケット高濃度拡散層 5 6 の不純物曲線 2 C は、従来の<1 0 0>半導体基板に設けたポケット高濃度拡散層の不純物曲線 3 と比べて E O R 転位ループ欠陥の発生が減少し、I n イオンの該 E O R 転位ループ欠陥層への偏析部分のピークが低くなる。これにより、E O R 転位ループ欠陥に偏析する重イオンに起因するリーク電流を抑制することができる。

【0 1 0 1】

ここで、<1 1 0>半導体基板 5 1 に注入される I n イオンは、チャネリングを起こしても、I n の質量効果により注入飛程が他の典型的な軽イオン程には大きくなりえないため、浅接合化の大きな障害とはならない。

【0 1 0 2】

以下、前記のように構成された M O S 型トランジスタの製造方法について図面を参照しながら説明する。

【0 1 0 3】

図 7 (a) ~ 図 7 (d) は第 4 の実施形態に係る M O S 型トランジスタの製造方法の工程順の断面構成を示している。

【0 1 0 4】

まず、図 7 (a) に示すように、例えば、P 型シリコンからなる<1 1 0>半

導体基板 6 1 に対して、P 型で相対的に質量数が高い不純物イオン、例えば I イオンを注入エネルギーが約 2 0 0 k e V で且つ注入ドーズ量が約 $1 \times 10^{12} / \text{cm}^2$ の注入条件でイオン注入する。イオン注入に続いて、昇温レートが約 1 0 0 °C / 秒で 9 0 0 °C ~ 1 0 2 5 °C 程度の高温にまで昇温し、この温度を 1 秒間 ~ 1 0 秒間程度保持する短時間の急速熱処理を行なうことにより、 $\langle 110 \rangle$ 半導体基板 6 1 の上部に P 型のチャネル拡散層 6 1 a を形成する。続いて、エピタキシャル半導体基板 6 1 の上に、膜厚が 2 . 2 n m 程度のゲート絶縁膜 6 2 を形成し、該ゲート絶縁膜 6 2 の上に膜厚が 2 5 0 n m 程度の多結晶シリコンからなるゲート電極 6 3 を形成する。

【 0 1 0 5 】

次に、図 7 (b) に示すように、ゲート電極 6 3 をマスクとして、P 型の不純物イオンである、例えば I n イオンを $\langle 110 \rangle$ 半導体基板 6 1 に注入エネルギーが約 3 0 k e V で且つ注入ドーズ量が約 $1 \times 10^{14} / \text{cm}^2$ の注入条件でイオン注入する。続いて、ゲート電極 6 3 をマスクとして、N 型の不純物イオンである、例えば A s イオンを $\langle 110 \rangle$ 半導体基板 6 1 に注入エネルギーが約 1 0 k e V で且つ注入ドーズ量が約 $5 \times 10^{14} / \text{cm}^2$ の注入条件でイオン注入する。その後、昇温レートが約 1 0 0 °C / 秒で 9 0 0 °C ~ 1 0 2 5 °C 程度の高温にまで昇温し、この温度を 1 秒間 ~ 1 0 秒間程度保持する急速熱処理を行なうことにより、エピタ $\langle 110 \rangle$ 半導体基板 6 1 のソースドレイン領域に、P 型のポケット高濃度拡散層形成層 6 4 A 及び該ポケット高濃度拡散層形成層 6 4 A よりも浅い接合を持つ N 型のエクステンション高濃度拡散層形成層 6 5 A を形成する。

【 0 1 0 6 】

次に、図 7 (c) に示すように、ゲート電極 6 3 を覆うように $\langle 110 \rangle$ 半導体基板 6 1 の上に全面にわたって膜厚が 5 0 n m 程度のシリコン窒化膜を堆積し、堆積したシリコン窒化膜に対して、異方性エッチングを行なうことにより、ゲート電極 6 3 のゲート長方向側の側面にシリコン窒化膜からなるサイドウォール 6 6 を形成する。なお、シリコン窒化膜に代えてシリコン酸化膜からなるサイドウォール 6 6 を形成しても良い。

【 0 1 0 7 】

次に、図 7 (d) に示すように、ゲート電極 6 3 及びサイドウォール 6 6 をマスクとして、N 型の不純物イオンである、例えば As イオンを、 $\langle 110 \rangle$ 半導体基板 6 1 に注入エネルギーが約 30 keV で且つ注入ドーズ量が約 $3 \times 10^{15} / \text{cm}^2$ の注入条件でイオン注入する。注入後に、昇温レートが約 $100^\circ\text{C}/\text{秒}$ で $1000^\circ\text{C} \sim 1025^\circ\text{C}$ 程度の高温にまで昇温し、この温度を 1 秒間～10 秒間程度保持する急速熱処理を行なうことにより、 $\langle 110 \rangle$ 半導体基板 6 1 のソースドレイン領域に N 型の高濃度拡散層 6 7 を形成する。

【0108】

これにより、 $\langle 110 \rangle$ 半導体基板 6 1 におけるゲート電極 6 3 の下側に位置するチャネル拡散層 6 1 a と、該チャネル拡散層 6 1 a のゲート長方向側に位置しエクステンション高濃度拡散層形成層 6 5 A からなるエクステンション高濃度拡散層 6 5 B と、該エクステンション高濃度拡散層 6 5 B の下側に位置しポケット高濃度拡散層形成層 6 4 A からなるポケット高濃度拡散層 6 4 B とが形成される。

【0109】

このように、第 1 の実施形態は、図 7 (b) に示す工程において、 $\langle 110 \rangle$ 半導体基板 6 1 に対して重イオンの注入を行なうことにより、ポケット高濃度拡散層形成層 6 4 A を形成することを特徴とする。これにより、前述したように、注入される In イオンにチャネリングが生じて、注入される In イオンとシリコン結晶格子とが衝突しにくくなるため、シリコン結晶格子に対する In イオンの注入ダメージが弱まり、EOR 転位ループ欠陥の原因となる格子間シリコンの発生が減少する。このとき、注入される In イオンにチャネリングが生じて、In の質量効果により、その注入飛程は他の軽イオン程には大きくはならない。In イオンによる注入ダメージが低減されることにより、EOR 転位ループ欠陥の原因となる格子間シリコンが減少し、該 EOR 転位ループ欠陥層の生成が抑制されるため、EOR 転位ループ欠陥層に偏析する In イオンも減少する。これにより、リーク電流を増大させることなく、重イオンのポケット高濃度拡散層 6 4 B を形成できる。

【0110】

その上、Inイオンの注入ダメージは小さくなくても、 $\langle 110 \rangle$ 半導体基板61はアモルファス化されるため、Inイオンによるポケット注入後に行なうエクステンション高濃度拡散層形成層65Aに対するAsイオンの注入は、アモルファス状態の半導体層に対して行なわれることになるので、プリアモルファス効果が作用する。このため、エクステンション注入時のAsイオンのチャネリングが抑制されるので、極めて浅い接合を持つエクステンション高濃度拡散層65Bを形成できる。

【0111】

また、チャネル拡散層61aにも重イオンであるInイオンを用いることにより、 $\langle 100 \rangle$ 半導体基板61の表面の近傍ではInイオンの不純物濃度が低く、表面の近傍から少し深い位置では急峻な不純物濃度分布を形成できるので、トランジスタの駆動力を低下することなく、微細化を実現できる。また、チャネル拡散層61aにInイオンを注入した後に熱処理を加えることにより、Inイオンによる注入ダメージを速やかに回復することができる。

【0112】

なお、第4の実施形態においては、図7(b)に示したポケット高濃度拡散層形成層64A及びエクステンション高濃度拡散層形成層65Aの注入後、及び図7(d)に示した高濃度拡散層67の注入後にそれぞれ急速熱処理を行なっているが、図7(d)に示した工程でのみ急速熱処理を行なってもよい。

【0113】

また、エクステンション高濃度拡散層形成層65Aに対しても、N型で質量数が相対的に大きいSbイオン等の重イオンを用いて形成してもよい。この場合のSbイオンの注入条件は、注入エネルギーを約10keVとし、注入ドーズ量を約 $2 \times 10^{14} / \text{cm}^2$ とすると良い。

【0114】

また、ゲート電極63に多結晶シリコンを用いたが、多結晶シリコンに代えてポリメタルを用いてもよい。

【0115】

また、チャネル拡散層61aにInイオンを用いたが、代わりにBイオン又は

B イオンと I n イオンとを混合した混合イオンとしてもよい。

【 0 1 1 6 】

また、M O S 型トランジスタを N チャネル M O S 型トランジスタとしたが、代わりに P チャネル M O S 型トランジスタとしてもよい。P チャネル M O S 型トランジスタとする場合には、チャネル拡散層 6 1 a 及びポケット高濃度拡散層形成層 6 4 A に注入する N 型の重イオンとして、S b イオンを用いることが好ましい。

【 0 1 1 7 】

【発明の効果】

本発明に係る半導体装置及びその製造方法によると、浅い接合を持つエクステンション高濃度拡散層やポケット高濃度拡散層の形成に必須となる重イオンを用いながらも、該重イオンに起因する欠陥の発生を抑制できるため、リーク電流を抑制しながら高駆動力で且つ微細化構造を有する半導体装置を実現できる。

【図面の簡単な説明】

【図 1】

(a) 及び (b) は本発明の第 1 の実施形態に係る M O S 型トランジスタを示し、(a) は構成断面図であり、(b) は (a) の A₁-A₂ 線に沿った基板表面からの深さ方向の不純物濃度を示すグラフである。

【図 2】

(a) ~ (d) は本発明の第 1 の実施形態に係る M O S 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 3】

本発明の第 1 の実施形態に係る M O S 型トランジスタの製造方法の図 2 (b) に示す工程におけるポケット領域及びエクステンション領域への不純物注入の直後の基板の深さ方向の不純物プロファイルを示すグラフである。

【図 4】

(a) ~ (d) は本発明の第 2 の実施形態に係る M O S 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 5】

(a) ~ (d) は本発明の第 3 の実施形態に係る MOS 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 6】

(a) 及び (b) は本発明の第 4 の実施形態に係る MOS 型トランジスタを示し、(a) は構成断面図であり、(b) は (a) の $B_1 - B_2$ 線に沿った基板表面からの深さ方向の不純物濃度を示すグラフである。

【図 7】

(a) ~ (d) は本発明の第 4 の実施形態に係る MOS 型トランジスタの製造方法を示す工程順の構成断面図である。

【図 8】

(a) ~ (e) は従来の MOS 型トランジスタの製造方法を示す工程順の構成断面図である。

【符号の説明】

- 1 1 エピタキシャル半導体基板
- 1 1 a チャンネル拡散層
- 1 2 ゲート絶縁膜
- 1 3 ゲート電極
- 1 4 高濃度拡散層
- 1 5 エクステンション高濃度拡散層
- 1 6 ポケット高濃度拡散層
- 2 1 エピタキシャル半導体基板
- 2 1 a チャンネル拡散層 (第 1 の不純物層)
- 2 2 ゲート絶縁膜
- 2 3 ゲート電極
- 2 4 A ポケット高濃度拡散層形成層 (第 2 の不純物層)
- 2 5 A エクステンション高濃度拡散層形成層 (第 3 の不純物層)
- 2 4 B ポケット高濃度拡散層
- 2 5 B エクステンション高濃度拡散層
- 2 6 サイドウォール

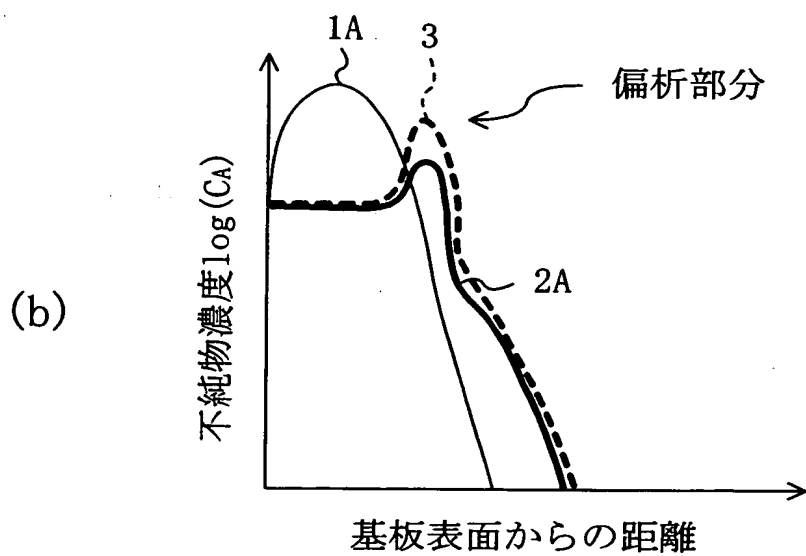
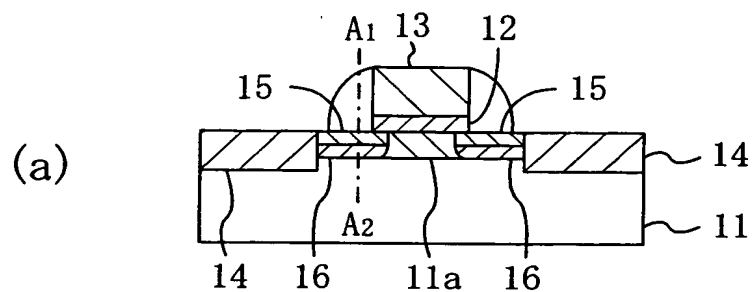
- 2 7 高濃度拡散層
- 3 1 エピタキシャル半導体基板
- 3 1 a チャンネル拡散層 (第 1 の不純物層)
- 3 2 ゲート絶縁膜
- 3 3 ゲート電極
- 3 4 A ポケット高濃度拡散層形成層 (第 2 の不純物層)
- 3 5 A エクステンション高濃度拡散層形成層 (第 3 の不純物層)
- 3 4 B ポケット高濃度拡散層
- 3 5 B エクステンション高濃度拡散層
- 3 6 サイドウォール
- 3 7 高濃度拡散層
- 4 1 エピタキシャル半導体基板
- 4 1 a チャンネル拡散層 (第 1 の不純物層)
- 4 2 ゲート絶縁膜
- 4 3 ゲート電極
- 4 4 A ポケット高濃度拡散層形成層 (第 2 の不純物層)
- 4 5 A エクステンション高濃度拡散層形成層 (第 3 の不純物層)
- 4 4 B ポケット高濃度拡散層
- 4 5 B エクステンション高濃度拡散層
- 4 6 サイドウォール
- 4 7 高濃度拡散層
- 5 1 エピタキシャル半導体基板
- 5 1 a チャンネル拡散層
- 5 2 ゲート絶縁膜
- 5 3 ゲート電極
- 5 4 高濃度拡散層
- 5 5 エクステンション高濃度拡散層
- 6 1 エピタキシャル半導体基板
- 6 1 a チャンネル拡散層 (第 1 の不純物層)

- 6 2 ゲート絶縁膜
- 6 3 ゲート電極
- 6 4 A ポケット高濃度拡散層形成層（第 2 の不純物層）
- 6 5 A エクステンション高濃度拡散層形成層（第 3 の不純物層）
- 6 4 B ポケット高濃度拡散層
- 6 5 B エクステンション高濃度拡散層
- 6 6 サイドウォール
- 6 7 高濃度拡散層

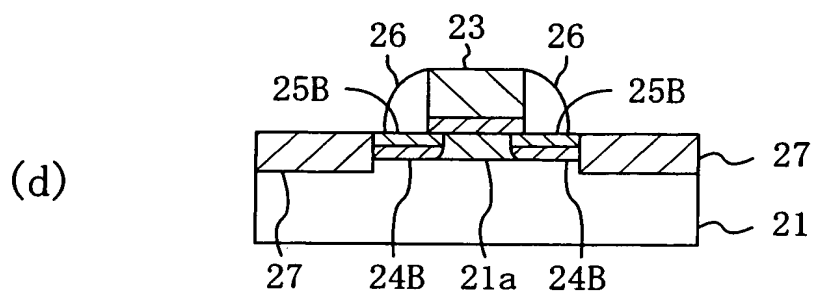
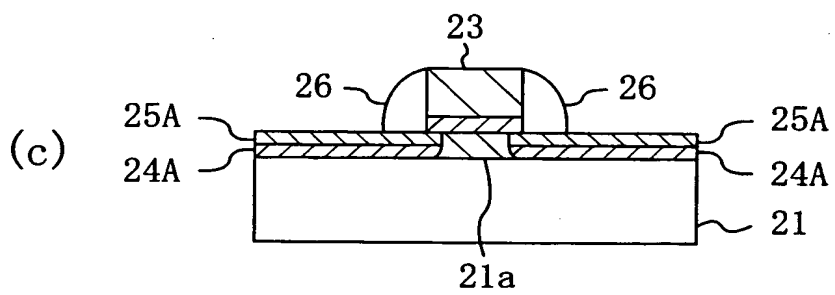
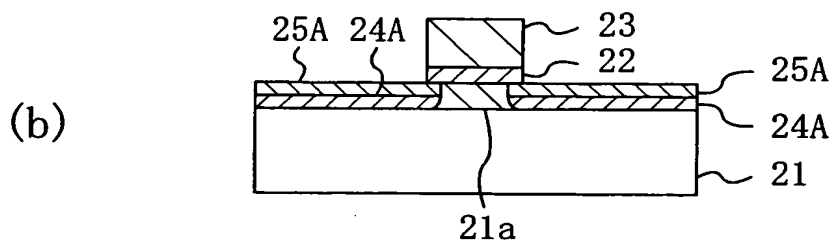
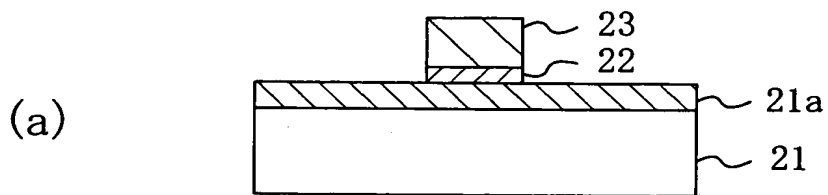
【書類名】

図面

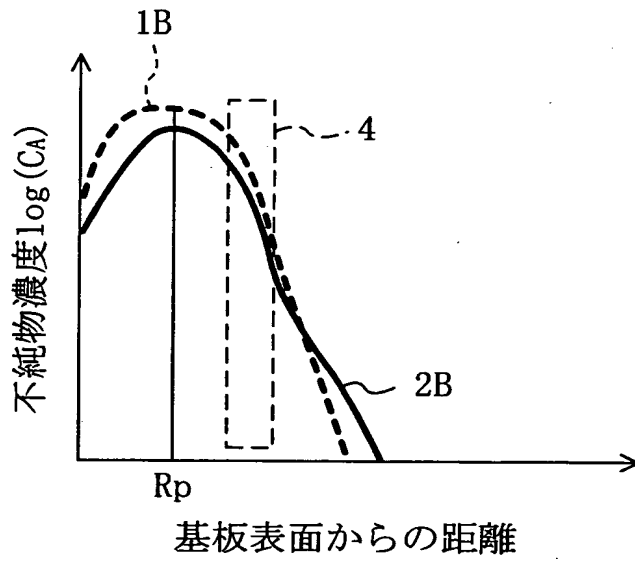
【図 1】



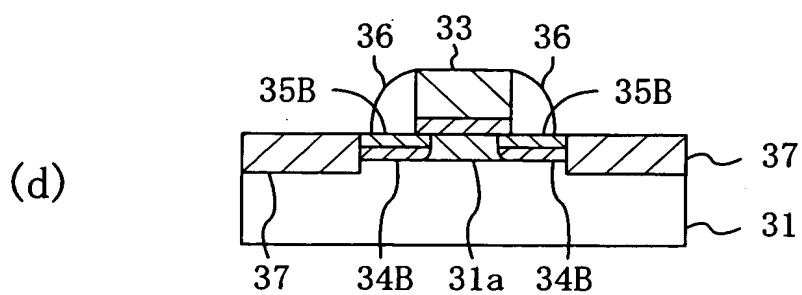
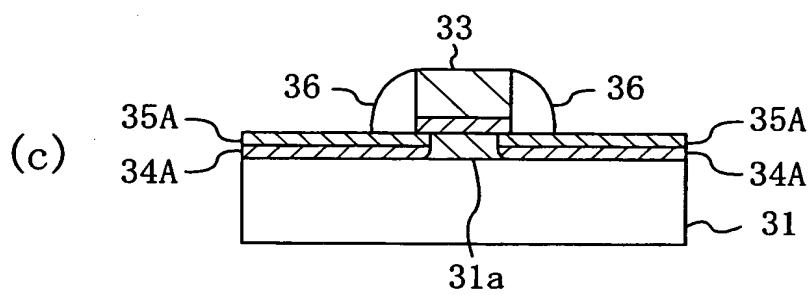
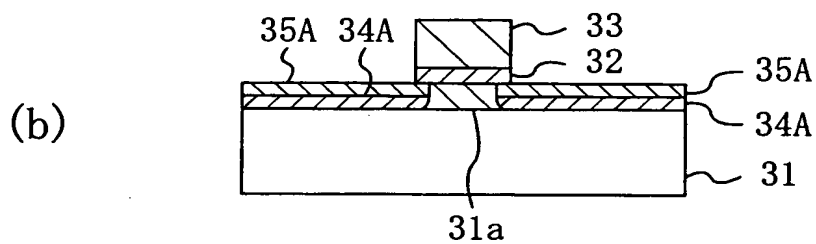
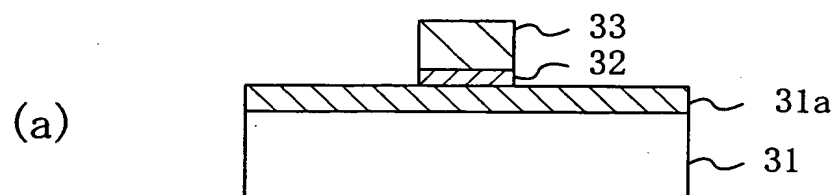
【図 2】



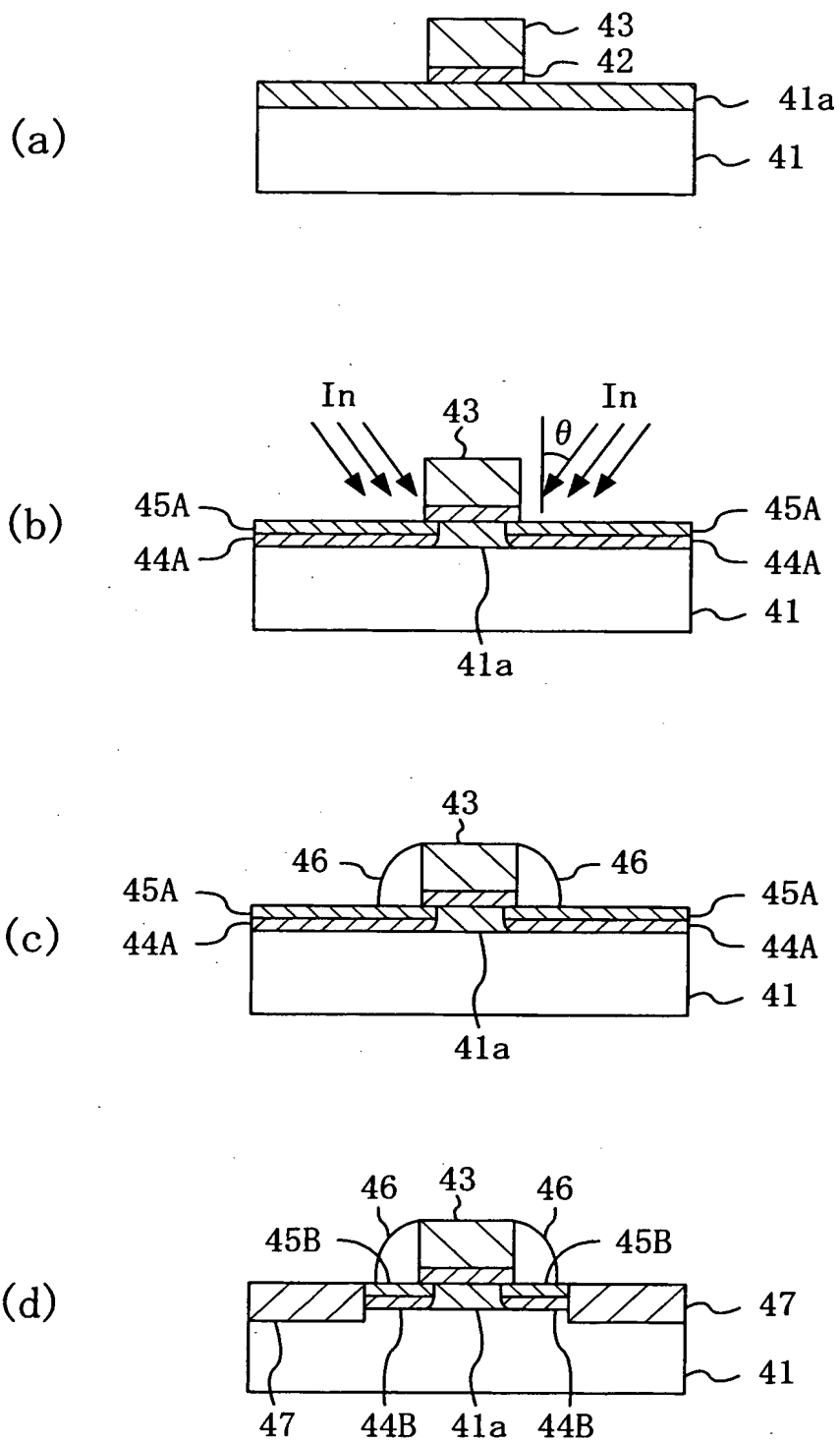
【図 3】



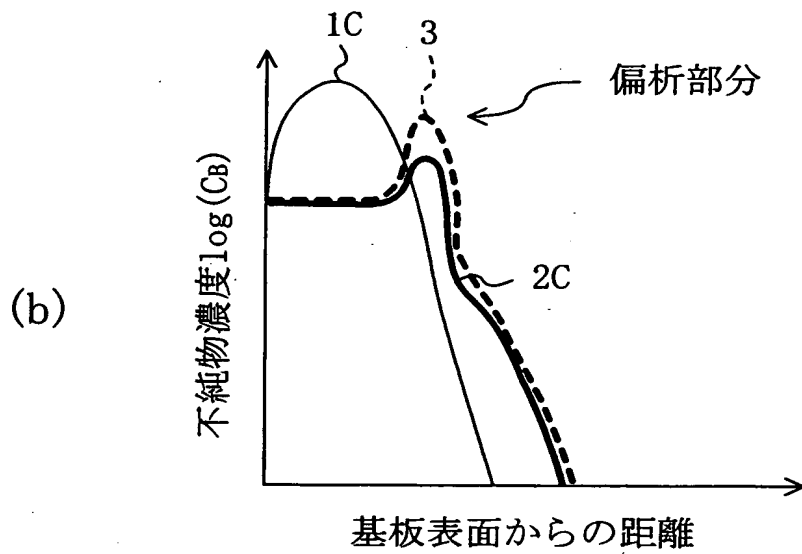
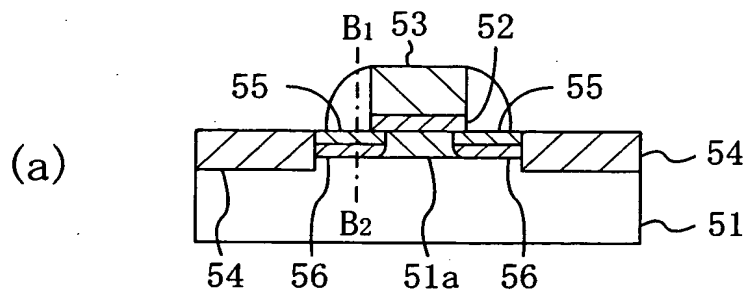
【図4】



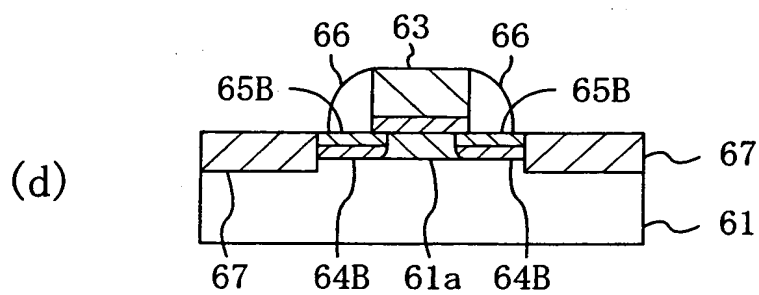
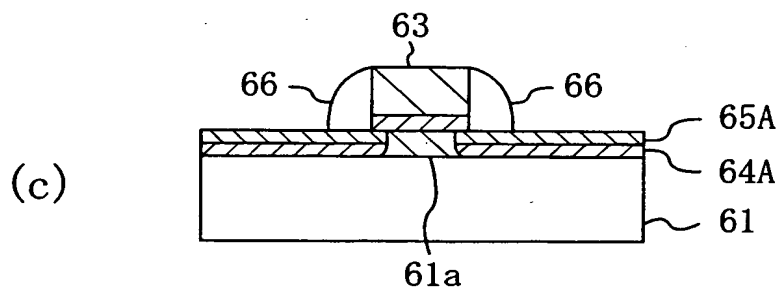
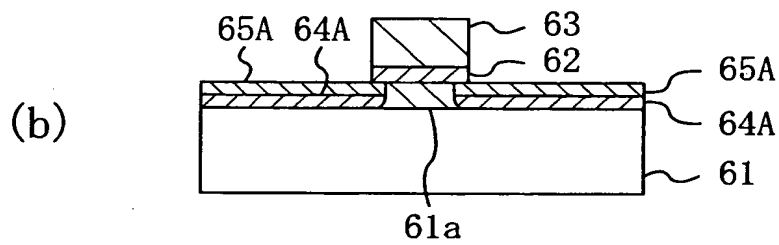
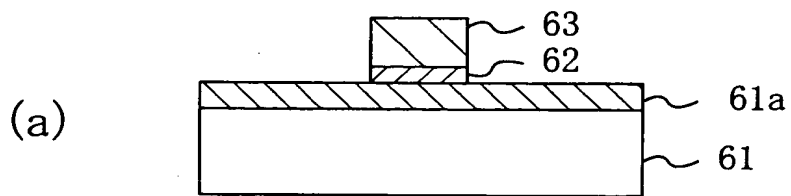
【図 5】



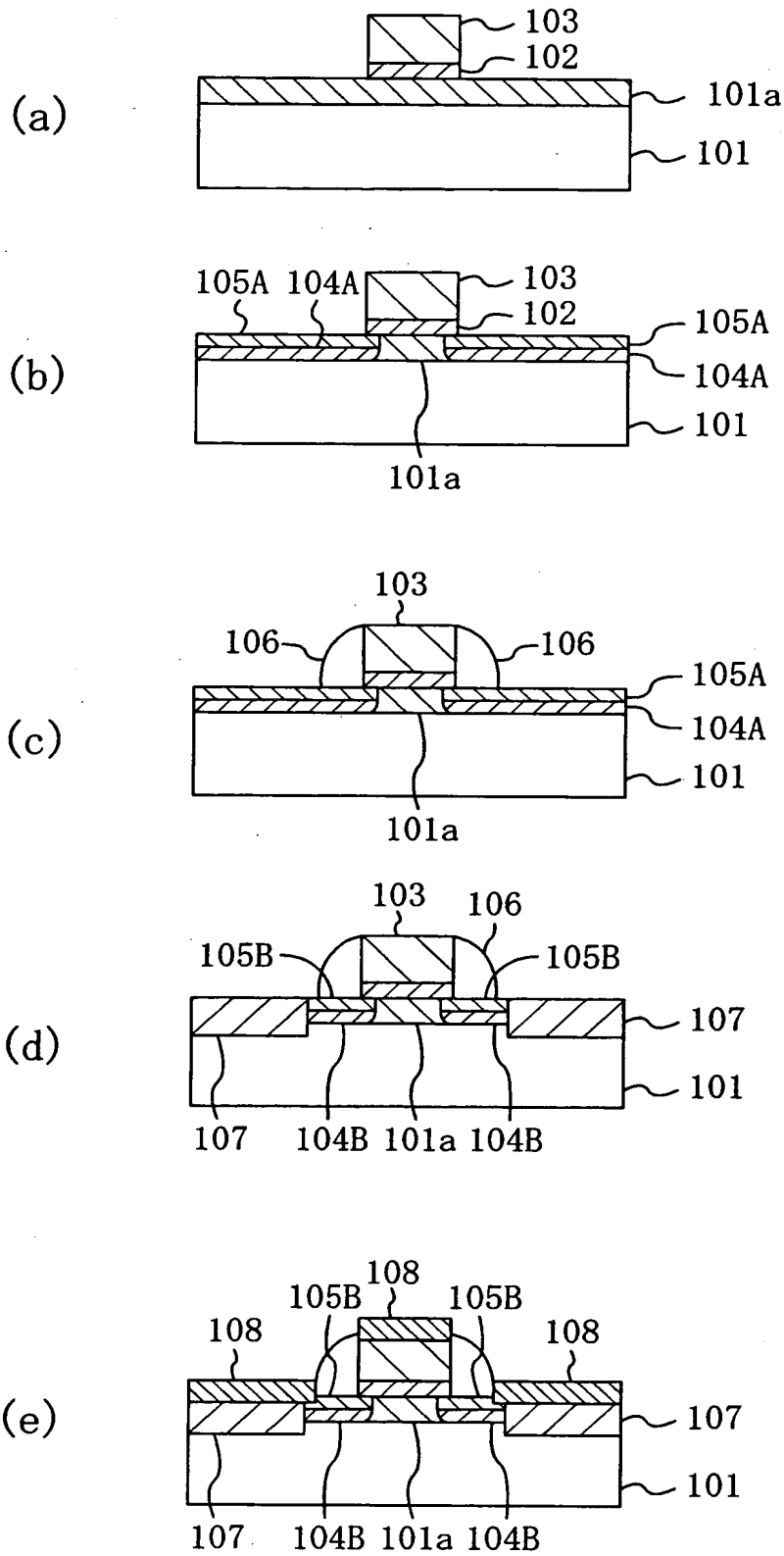
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 浅い接合に必須である重イオンを高濃度拡散層に用いながらも、該重イオンに起因する転位ループ欠陥の発生を抑制できるようにする。

【解決手段】 エピタキシャル半導体基板11における高濃度拡散層14とゲート電極13の側面の下側の領域との間には、接合の深さが高濃度拡散層14よりも浅く、N型のAsイオンが拡散したエクステンション高濃度拡散層15が形成され、該エクステンション高濃度拡散層15の下側の領域には、質量数が相対的に大きい重イオンであるP型のインジウムイオンが拡散したポケット高濃度拡散層16とが形成されている。また、エピタキシャル半導体基板11におけるゲート電極13の下側であって、エクステンション高濃度拡散層15同士の間で且つポケット高濃度拡散層16同士の間領域には、P型のInイオンが拡散したチャンネル拡散層11aが形成されている。

【選択図】 図1

出 願 人 履 歷 情 報

識別番号 [000005843]

1. 変更年月日 1993年 9月 1日
[変更理由] 住所変更
住 所 大阪府高槻市幸町1番1号
氏 名 松下電子工業株式会社